

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204636

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

H01L 21/768

(21)Application number : 10-020464

(71)Applicant : RICOH CO LTD

(22)Date of filing : 14.01.1998

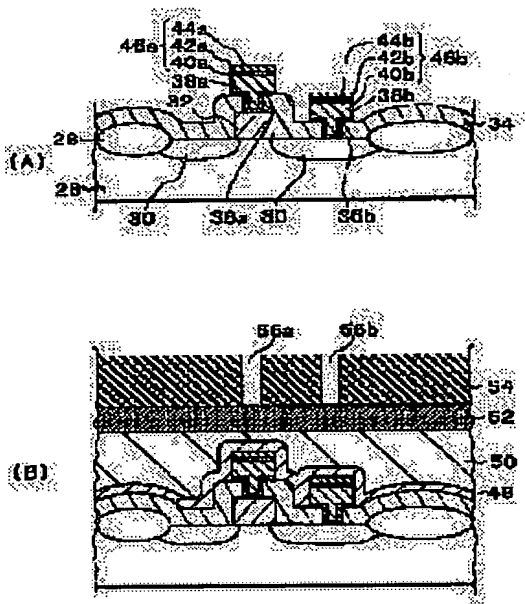
(72)Inventor : KURODA TAKAHIKO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide improved reliability of connection hole and wiring.

**SOLUTION:** Since the etching rate of a base film 48 in a first etching (C4F8:18 sccm) of a two-step etching is at most one-fifths of the etching rate of a flow fill film 50, a cap film 52, and the flow fill film 50 can be removed without making TiN films (44a, 44b) exposed. Since a base film 48 is removed almost at the same time as in a second etching (C4F8: 19 sccm), regardless of the location, it is possible to remove the base film 48 as far as to a bottom part without having Ti films 42a, 42b and AlCu films 40a, 40b exposed and to form connection holes (58a, 58b) on first wiring layers 46a, 46b.



## LEGAL STATUS

[Date of request for examination]

12.07.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] In the manufacture approach of a semiconductor device of having the multilayer interconnection to which lower layer wiring and the upper wiring were electrically connected through the connection hole which the interlayer insulation film with which flattening of the front face was carried out was formed on the substrate of having \*\*\*\*, and was prepared in the interlayer insulation film The manufacture approach of the semiconductor device characterized by forming a multilayer interconnection including the following processes, (A) The process which forms the lowest layer insulator layer from which a dirty rate changes to flow rate change of predetermined etching reactant gas on said substrate, (B) The upper insulator layer of one layer or two or more layers in which the method of change of a dirty rate over flow rate change of said etching reactant gas differs from said lowest layer insulator layer is formed on said lowest layer insulator layer. The process which carries out flattening of the front face, the process which forms the photoresist which has opening in (C) connection hole field on said upper insulator layer, (D) The 1st etching process which makes the flow rate of said etching reactant gas the conditions to which the dirty rate of said lowest layer insulator layer becomes small, and removes said upper insulator layer of a connection hole field, (E) Make the flow rate of said etching reactant gas into the conditions to which the dirty rate of said lowest layer insulator layer becomes large, and said lowest layer insulator layer of said connection hole field is removed. The process which removes the 2nd etching process and the (F) aforementioned photoresist which form a connection hole, and forms wiring on said connection hole and said upper insulator layer.

[Claim 2] The manufacture approach of a semiconductor device according to claim 1 that the dirty rate of said lowest layer insulator layer is 1/5 or less [ of the dirty rate of said upper insulator layer ] on the conditions on which the dirty rate of said lowest layer insulator layer becomes small.

[Claim 3] The manufacture approach of the semiconductor device according to claim 1 or 2 using the gas which contains C4F8 in said etching reactant gas, using silicon oxide as said lowest layer insulator layer.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device including the process which forms the connection hole with which the depth differs considering insulator layers, such as an oxide film, as etched film especially about the production process of a semiconductor device which has multilayer-interconnection structure.

[0002]

[Description of the Prior Art] Drawing 1 is a sectional view showing the conventional example of the semiconductor device after connection hole formation. The interlayer insulation film 8 is formed on the semi-conductor substrate 2 containing the component isolation region 4 or the gate electrode 6. On the interlayer insulation film 8, the wiring layer 16 (16a, 16b) to which the laminating of the AlCu film 10 (10a, 10b), the Ti film 12 (12a, 12b), and the TiN film 14 (14a, 14b) was carried out is formed at the position. On the interlayer insulation film 8 containing wiring layers 16a and 16b, the interlayer insulation film 18 by which flattening was carried out using the existing flattening technique is formed, and connection hole 20a with the shallow depth and connection hole 20b with the deep depth are formed on wiring layer 16a and 16b, respectively.

[0003] Thus, if it is going to form the connection hole with which the depth differs by the conventional dry etching, the damage to the substrate pattern located under a connection hole with the shallow depth will become large compared with the damage of a substrate pattern located in a deep connection hole. Consequently, connection resistance becomes large, or the variation in connection resistance becomes large, and a problem arises in the dependability of a semiconductor device.

[0004] for example, when forming a wiring connection hole, by the connection hole formation approach by the conventional dry etching When the structure of the substrate pattern wiring layer 16 of a connection hole is formed from the 12/TiN film 14 of 10/Ti film of AlCu film, As for the interlayer insulation film 18 by which flattening was carried out, connection hole 20b in which connection hole 20a and TiN film 14b from which TiN film 14a of the substrate pattern wiring layer 16 was removed to the pars basilaris ossis occipitalis remain with the depth of a connection hole lives together. Especially in connection hole 20a from which TiN film 14a was removed, aluminum of AlCu film 10a of the substrate pattern wiring layer 16 and the gas of CF system which is an etching kind react, the volatile low fluoride 22 is formed, and this accumulates on a connection hole 20a wall. This fluoride 22 makes the contact resistance of a connection hole increase, and increases the variation in \*\*\*\*\*. Moreover, aluminum of AlCu film 10a exposed at the connection hole 20a pars basilaris ossis occipitalis into which TiN film 14a was etched by the degasifying processing of about 500 degrees C performed before forming the upper wiring blows off, and the short circuit during wiring may be caused.

[0005] Thus, at the time of connection hole formation, when the connection hole with which the depth differs was formed by the conventional etching approach, the damage to the substrate pattern with which a connection hole is located changed with depth of a connection hole, and there was a problem of reducing the dependability of a shallow connection hole remarkably especially. Then, the following

approaches are proposed in order to solve such fault.

[0006] In order to cancel the difference in the etching time of each connection hole resulting from \*\*\*\* during each metal wiring produced by field oxide etc., the approach the front face forms the film in the thickness of homogeneity with the small large film so that it may become flat is proposed in the interlayer insulation film with which a dirty rate consists of the small film / large film / small film to predetermined etching gas (refer to JP,7-122634,A (conventional example 1) and an official report). By this approach, the organic silicon compound which contains CF radical as film with a large dirty rate is used. In the interlayer insulation film formed on each metal wiring, although the thickness of the film with a small dirty rate is the same, the thickness of the film with a large dirty rate has a different thing. However, since the etching time of the film with a large dirty rate is almost the same irrespective of the thickness, it can make etching time of each connection hole homogeneity mostly.

[0007] The approach of forming an etching mask is proposed so that the aspect ratio after etching of puncturing which thickness forms in a thin field as an option to the difference in the thickness of etched film, such as an oxide film resulting from substrate pattern structures, such as \*\*\*\*, and puncturing which thickness forms in a thick field (diameter of the depth/puncturing of puncturing) may approximate (refer to JP,9-148270,A (conventional example 2) and an official report). By making the aspect ratio of each puncturing approximate, etching end time was made almost equal and the bad influence to a substrate pattern is controlled.

[0008] Furthermore, as an option, the approach a dirty rate forms a very small insulator layer in a substrate side most compared with other insulator layers is proposed so that an interlayer insulation film may be made into multilayers and a dirty rate may become large in order from a substrate side at order (refer to JP,8-236619,A (conventional example 3) and an official report). By using such an interlayer insulation film, the interlayer insulation film secured the etching margin of the part which becomes thin, and has prevented the over etching.

[0009] Furthermore, the approach of forming the ingredient layer with a small dirty rate beforehand on wiring of the thin field of the interlayer insulation film by which flattening was carried out is proposed as an option in the field on wiring with which a connection hole is formed (refer to JP,9-17862,A (conventional example 4) and an official report). By forming an ingredient layer with a small dirty rate in a specific location, the interlayer insulation film secured the etching margin of the part which becomes thin, and has prevented the over etching.

[0010]

[Problem(s) to be Solved by the Invention] However, there are the following troubles in the above-mentioned conventional example. Since the organic silicon compound which contains CF radical as film with a large dirty rate in the conventional example 1 is used, a chemical reaction will be caused if this film is exposed with the connection hole side attachment wall at the time of the photoresist removal by O<sub>2</sub> performed after etching, and a damage is received, it is necessary to add an etchback process so that this film may not be exposed within a connection hole, consequently a routing counter increases.

Moreover, the variation in the thickness of an interlayer insulation film also becomes large. In order to arrange the etching time of puncturing from which the depth differs, the conventional example 2 needs to change the path of puncturing with the depth, and is not practical. Control of the configuration of a connection hole is difficult for the conventional example 3 in order to etch into coincidence two or more film with which dirty rates differ. The process of the conventional example 4 which forms the ingredient film with a small dirty rate in the lowest layer of an interlayer insulation film beforehand increases.

Moreover, after etching an interlayer insulation film, the process which removes the above-mentioned ingredient film is also required, a routing counter increases, and a process becomes complicated.

[0011] Then, when forming the connection hole with which the depth differs by dry etching, this invention controls the damage to the substrate pattern of the connection hole pars basilaris ossis occipitalis by the difference of the depth of a connection hole, and equalizes, and aims at raising the dependability of a connection hole and wiring.

[0012]

[Means for Solving the Problem] The interlayer insulation film with which flattening of the front face

was carried out is formed on the substrate of having \*\*\*\*, and the manufacture approach of the semiconductor device by this invention forms a multilayer interconnection including the following processes in the manufacture approach of a semiconductor device of having the multilayer interconnection to which lower layer wiring and the upper wiring were electrically connected through the connection hole prepared in the interlayer insulation film.

(A) The process which forms on a substrate the lowest layer insulator layer from which a dirty rate changes to flow rate change of predetermined etching reactant gas, (B) The upper insulator layer of one layer or two or more layers in which the method of change of a dirty rate over flow rate change of etching reactant gas differs from the lowest layer insulator layer is formed on the lowest layer insulator layer. The process which carries out flattening of the front face, the process which forms the photoresist which has opening in (C) connection hole field on the upper insulator layer, (D) The 1st etching process which makes the flow rate of etching reactant gas the conditions to which the dirty rate of the lowest layer insulator layer becomes small, and removes the upper insulator layer of a connection hole field, (E) Process which makes the flow rate of etching reactant gas the conditions to which the dirty rate of the lowest layer insulator layer becomes large, removes the lowest layer insulator layer of a connection hole field, removes the 2nd etching process and the (F) photoresist which form a connection hole, and forms wiring on a connection hole and the upper insulator layer.

[0013] Although the lowest layer insulator layer of a connection hole field with the thin thickness of the upper insulator layer will be removed by the time the upper insulator layer of the connection hole field where the thickness of the upper insulator layer is thick is removed to a pars basilaris ossis occipitalis when the 1st etching removes the upper insulator layer from which the thickness of a connection hole field differs, the thickness removed since the dirty rate of the lowest layer insulator layer is small is slight. After etching until the lowest layer insulator layer of the connection hole field where the thickness of the upper insulator layer is thick is exposed, the 2nd etching removes the lowest layer insulator layer of each connection hole field. Consequently, the amount of etching of the substrate pattern of each connection hole field can be stopped sufficiently small to the rate of over etching.

[0014]

[Embodiment of the Invention] It is desirable that the dirty rate of the lowest layer insulator layer is 1/5 or less [ of the dirty rate of the upper insulator layer ] by the 1st etching. In that case, the amount of the lowest layer insulator layer removed by the 1st etching can fully be stopped, and the amount of etching of the substrate pattern by the 2nd etching can be mitigated more effectively. It is desirable to use the gas which contains C<sub>4</sub>F<sub>8</sub> in etching reactant gas, using silicon oxide as a lowest layer insulator layer. In that case, the etching rate of the lowest layer insulator layer can fully be changed by adjusting only the flow rate of the gas containing C<sub>4</sub>F<sub>8</sub>.

[0015]

[Example] Hereafter, the production process of one example which materialized this invention is explained using drawing 2 and drawing 3.

(A) Form the gate electrode 32 in the active region separated on the single crystal silicon substrate 26 in the component isolation region 28 through gate oxide, and form an interlayer insulation film 34 on a silicon substrate 26 after forming the source drain diffusion layer 30 by an ion grouting degree etc. Next, the connection holes 36a and 36b are formed on the gate electrode 32 and a source drain diffusion layer, respectively. Deposit 500nm for example, for the AlCu film, 20nm and 50nm of TiN film are made to deposit Ti film sequentially from the bottom after depositing a barrier layer on the silicon substrate 26 whole surface, and patterning is carried out. Consequently, on connection hole 36a and 36b, the lower layer wiring layers 46a and 46b which consist of the AlCu film 40a and 40b, Ti film 42a and 42b, and TiN film 44a and 44b are formed through the barrier layers 38a and 38b, respectively.

[0016] (B) Next, they are 1.4Torr(s) and RF about SiH<sub>4</sub>:150sccm, N<sub>2</sub>:1500sccm, N<sub>2</sub>O:3500sccm, and a pressure in a quantity of gas flow on a silicon substrate 26. By CVD, a refractive index deposits 100nm (silicon oxide) of base film 48 of about 1.57 for power on condition that 100W. Next, in order to bury \*\*\*\* of the substrate pattern which consists of a component isolation region 28 or the 1st wiring layer 46a and 46b and to carry out flattening of the silicon substrate 26 top, 550nm (silicon oxide) of flow

philharmonic film 50 is deposited for a quantity of gas flow by ordinary pressure CVD the condition for SiH<sub>4</sub>:120sccm, N<sub>2</sub>:300sccm, and H<sub>2</sub>O<sub>2</sub>:0.65g/. In order to prevent moisture absorption of the flow philharmonic film 50, they are 0.75Torr(s) and RF about SiH<sub>4</sub>:100sccm, N<sub>2</sub>:1000sccm, N<sub>2</sub>O:2000sccm, and a pressure in a quantity of gas flow. After depositing 250nm (silicon oxide) of cap film 52 for power on condition that 500W, annealing treatment is performed on condition that N<sub>2</sub> gas ambient atmosphere, and the moisture of the flow philharmonic film 50 and the cap film 52 is removed for 450 degrees C and 30 minutes.

[0017] Thus, the interlayer insulation film is formed from three layers, the base film 48, the flow philharmonic film 50, and the cap film 52, and since the flow philharmonic film 50 is carrying out flattening of the \*\*\*\*, it has a 550nm [ a maximum of ] thickness difference depending on the field. Next, in order to form the connection hole for connecting the 1st wiring layers 46a and 46b and 2nd wiring layer, Patterns 56a and 56b are formed by the photoresist 54 on the cap film 52. In the interlayer insulation film under Patterns 56a and 56b, 550nm arises at the maximum and the about 50nm thickness difference has arisen in min.

[0018] Here, in order to form a connection hole, 2 step etching is performed to etching gas using Magnetron RIE for example, using C<sub>4</sub>F<sub>8</sub> gas. By the 1st etching, the base film 48 of each pattern Shimo which the flow philharmonic film 50 is removed at least, and is the bottom by the 2nd etching is removed. The dirty rate (a part for nm/) to the C<sub>4</sub>F<sub>8</sub> quantity of gas flow (sccm) of the base film 48 which constitutes an interlayer insulation film, the flow philharmonic film 50, and the cap film 52 is shown in drawing 4 . It turns out that the dirty rate of the base film 48 which constitutes the lowest layer of an interlayer insulation film by changing the flow rate of C<sub>4</sub>F<sub>8</sub> gas can be changed from drawing 4 a lot. In this example, this is used and the damage to the substrate pattern of a connection hole pars basilaris ossis occipitalis with the shallow depth is stopped to the minimum.

[0019] (C) The 1st etching condition of 2 step etching is 40mTorr(s) and RF in a quantity of gas flow about C<sub>4</sub>F<sub>8</sub>:18sccm, CHF<sub>3</sub>:10sccm, CO:300sccm, Ar:400sccm, O<sub>2</sub>:2sccm, and a pressure. Power was used to 1700W (the diameter of an electrode is 8 inches), and temperature was used as lower electrode:20 degree C, up electrode:60 degree C, and 60 degrees C of side attachment walls. The dirty rate of the base film 48 in this condition, the flow philharmonic film 50, and the cap film 52 is a part for part 500nm/for part 500nm/for 80nm/, respectively (field 46 of drawing 4 ).

[0020] If the 1st etching is started, the cap film 52 under pattern 56a and 56b will be first removed mostly by coincidence. Furthermore, the flow philharmonic film 50 under it is removed. When the flow philharmonic film 50 under pattern 56a is removed to a pars basilaris ossis occipitalis and removal of the base film 48 under it is started, the flow philharmonic film 50 under pattern 56b still remains. However, the thickness of the base film 48 under pattern 56a which will be removed on the 1st etching condition by the time the flow philharmonic film 50 under pattern 56b is removed to a pars basilaris ossis occipitalis since the dirty rate of the base film 48 is 1/5 or less [ of the dirty rate of the flow philharmonic film 50 ] is slight. Consequently, the cap film 52 and the flow philharmonic film 50 can be removed, without exposing the TiN film 44a and 44b under pattern 56a and 56b.

[0021] (D) The 2nd etching condition was made the same as the 1st etching condition except having set the quantity of gas flow to C<sub>4</sub>F<sub>8</sub>:9sccm. The dirty rate of the base film 48 in this condition, the flow philharmonic film 50, and the cap film 52 is a part for part 420nm/for part 420nm/for 360nm/, respectively (field 48 of drawing 4 ). Moreover, the dirty rate of the TiN film 44a and 44b in this condition is a part for 30nm/.

[0022] At the time of the 2nd etching initiation, since the thickness of extent with the base film 48 same also under pattern 56a or 56b remains, the base film 48 under pattern 56a and pattern 56b is removed without big time difference. Strictly, the direction of the base film 48 under pattern 56a is removed to a pars basilaris ossis occipitalis ahead of the base film 48 under pattern 56b, and TiN film 44a under pattern 56a begins to be removed. However, the thickness of TiN film 44a which will be removed on the 2nd etching condition by the time the base film 48 under pattern 56b is removed to a pars basilaris ossis occipitalis since the dirty rate of TiN film 44a is about 1 of dirty rate of base film 48/12 is slight. Consequently, the base film 48 can be removed to a pars basilaris ossis occipitalis, without penetrating

the TiN film 44a and 44b under pattern 56a and 56b, and exposing the Ti film 42a and 42b and the AlCu film 40a and 40b under it, and the 2nd connection hole 58a and 58b can be formed on the 1st wiring layer 46a and 46b. Then, a photoresist 54 is removed.

[0023] Drawing 5 (A) is drawing showing the rate (%) dependency of over etching of the amount of TiN film etching under the connection hole in 2 step etching by this example (nm). The same drawing in 1 step etching conventionally performed to (B) as reference is shown. The object of 1 step etching is the same as what is shown in drawing 2 (B), and etching conditions are the same as etching of the 2nd of this example. That is, the dirty rate of the base film 48, the flow philharmonic film 50, and the cap film 52 is a part for part 420nm/for part 420nm/for 360nm/, and the dirty rate of the TiN film 44a and 44b is a part for 30nm/. Moreover, the rate of over etching in drawing 5  $R > 5$  is a value in the deepest connection hole, i.e., connection hole 58b.

[0024] Usually, in consideration of the variation in the thickness of an interlayer insulation film, and the variation of the dirty rate in a wafer side, about 30% of over etching is performed. In the case of 1 step etching, if 30% of over etching is performed, the amount of etching of the TiN film will be set to about 55nm. Since the thickness of TiN film 44a is 50nm, TiN film 44a will be etched to the base. On the other hand, in the case of 2 step etching by this example, about 25nm and TiN film 44b can be set to about 20nm, and cannot be concerned with the depth of a connection hole, but, as for the amount of etching of the TiN film, TiN film 44a can leave about 25nm of TiN film. Therefore, compared with 1 step etching, the condition of a connection hole pars basilaris ossis occipitalis can be equalized, and a reliable connection hole can be formed.

[0025]

[Effect of the Invention] The lowest layer insulator layer from which, as for the manufacture approach of the semiconductor device by this invention, a dirty rate changes to flow rate change of predetermined etching reactant gas, And the dirty rate in the 1st flow rate of the etching reactant gas with which the dirty rate of the lowest layer insulator layer becomes small The 1st etching performed by the 1st flow rate using the interlayer insulation film which consists of the larger upper insulator layer of one layer or two or more layers than the dirty rate of the lowest layer insulator layer in the 1st flow rate, The lowest layer insulator layer of a connection hole field is removed by the 2nd flow rate of the etching reactant gas with which the dirty rate of the lowest layer insulator layer becomes large, and a connection hole is formed by the 2nd etching which forms a connection hole. When the 1st etching removes the upper insulator layer from which the thickness of a connection hole field differs by the 1st flow rate of predetermined etching reactant gas, the lowest layer insulator layer of a connection hole field with the thin thickness of the upper insulator layer Although a part will be removed by the time the upper insulator layer of the connection hole field where the thickness of the upper insulator layer is thick is removed to a pars basilaris ossis occipitalis, the thickness removed on the 1st etching condition since the dirty rate of the lowest layer insulator layer is small is slight. After removing the upper insulator layer of the connection hole field where the thickness of the upper insulator layer is thick to a pars basilaris ossis occipitalis, the 2nd etching removes the lowest layer insulator layer of each connection hole field. Consequently, the amount of etching of the substrate pattern of each connection hole field can be stopped sufficiently small to the rate of over etching, the condition of a connection hole pars basilaris ossis occipitalis can be equalized, and a reliable connection hole and reliable wiring can be formed. The amount of the lowest layer insulator layer removed by the 1st etching by the 1st etching as the dirty rate of the lowest layer insulator layer is 1/5 or less [ of the dirty rate of the upper insulator layer ] can fully be stopped, and the amount of etching of the substrate pattern by the 2nd etching can be mitigated more effectively. If the gas which contains C4F8 in etching reactant gas is used, using silicon oxide as a lowest layer insulator layer, the etching rate of the lowest layer insulator layer can fully be changed by adjusting only the flow rate of the gas containing C4F8.

---

[Translation done.]



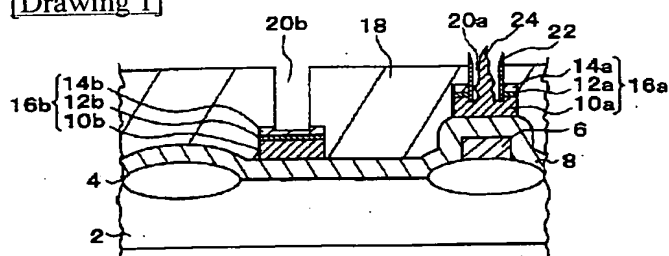
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

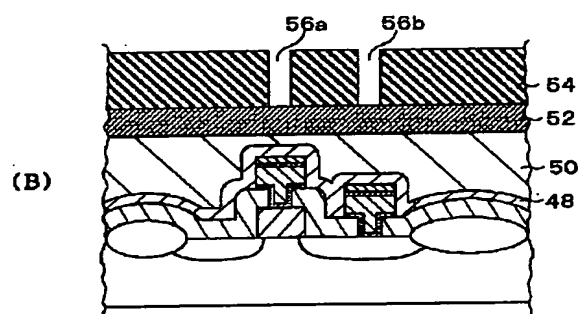
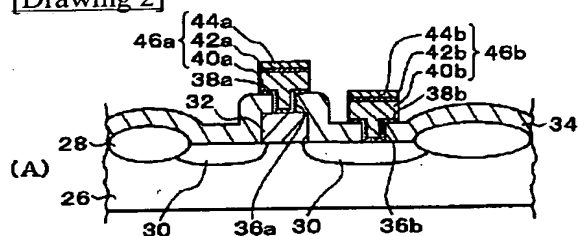
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

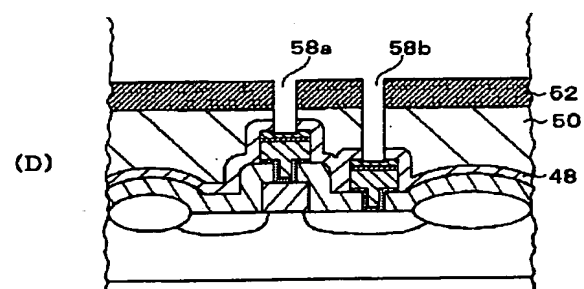
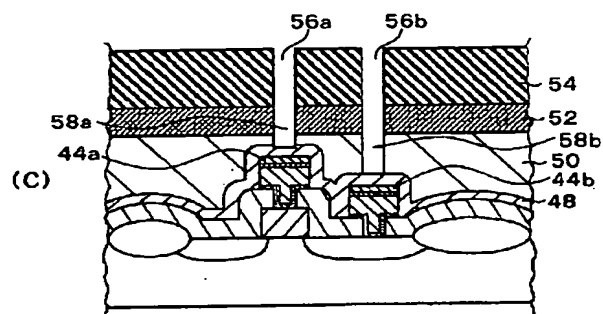
[Drawing 1]



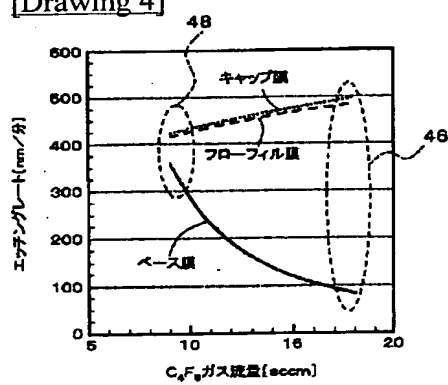
[Drawing 2]



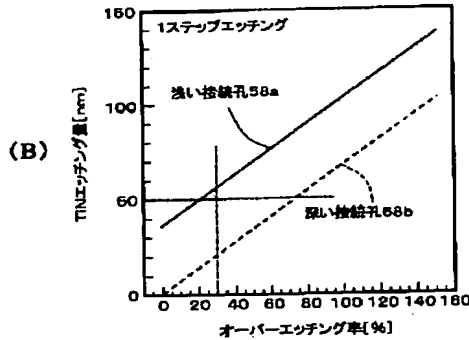
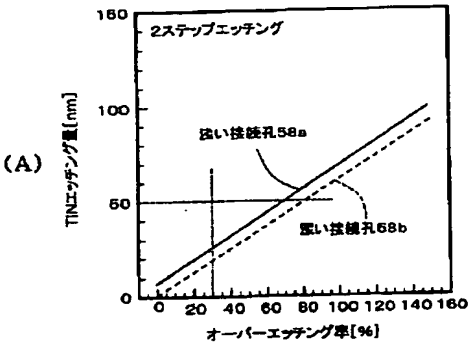
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-204636

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

A

審査請求 未請求 請求項の数 3 F D (全 7 頁)

(21) 出願番号 特願平10-20464

(22) 出願日 平成10年(1998) 1月14日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込 1 丁目 3 番 6 号

(72) 発明者 黒田 隆彦

東京都大田区中馬込 1 丁目 3 番 6 号 株式

会社リコー内

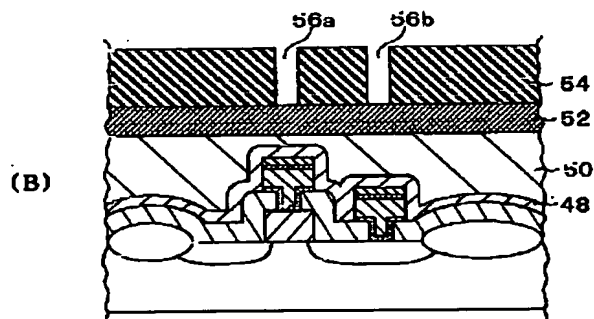
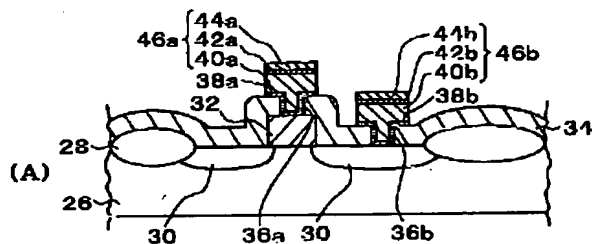
(74) 代理人 弁理士 野口 繁雄

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 接続孔及び配線の信頼性を向上させる。

【解決手段】 2ステップエッチングの第1のエッチング ( $C_4F_8$ : 18 sccm) でベース膜48のエッチレートはフローフィル膜50のエッチレートの1/5以下なので、TiN膜44a、44bを露出させることなくキャップ膜52及びフローフィル膜50を除去することができる。第2のエッチング ( $C_4F_8$ : 9 sccm) ではベース膜48は場所によらずほぼ同時に除去されるので、Ti膜42a、42bやAlCu膜40a、40bを露出させることなくベース膜48を底部まで除去し、第1の配線層46a、46b上に接続孔58a、58bを形成することができる。



## 【特許請求の範囲】

【請求項1】 断差を有する下地上に表面が平坦化された層間絶縁膜が形成され、その層間絶縁膜に設けられた接続孔を介して下層の配線と上層の配線とが電氣的に接続された多層配線を有する半導体装置の製造方法において、以下の工程を含んで多層配線を形成することを特徴とする半導体装置の製造方法、(A) 所定のエッチング反応ガスの流量変化に対してエッチレートが変化する最下層絶縁膜を前記下地上に形成する工程、(B) 前記エッチング反応ガスの流量変化に対するエッチレートの変化のしかたが前記最下層絶縁膜とは異なる1層又は複数層の上層絶縁膜を前記最下層絶縁膜上に形成し、その表面を平坦化する工程、(C) 接続孔領域に開口をもつフォトレジストを前記上層絶縁膜上に形成する工程、(D) 前記エッチング反応ガスの流量を前記最下層絶縁膜のエッチレートが小さくなる条件にして接続孔領域の前記上層絶縁膜を除去する第1のエッチング工程、(E) 前記エッチング反応ガスの流量を前記最下層絶縁膜のエッチレートが大きくなる条件にして前記接続孔領域の前記最下層絶縁膜を除去し、接続孔を形成する第2のエッチング工程、(F) 前記フォトレジストを除去し、前記接続孔上及び前記上層絶縁膜上に配線を形成する工程。

【請求項2】 前記最下層絶縁膜のエッチレートが小さくなる条件では、前記最下層絶縁膜のエッチレートが前記上層絶縁膜のエッチレートの1/5以下である請求項1に記載の半導体装置の製造方法。

【請求項3】 前記最下層絶縁膜としてシリコン酸化膜を用い、前記エッチング反応ガスに $C_4F_8$ を含むガスを用いた請求項1又は2に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、多層配線構造を有する半導体装置の製造工程に関し、特に、酸化膜などの絶縁膜を被エッチング膜として深さが異なる接続孔を形成する工程を含む半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】図1は、接続孔形成後の半導体装置の従来例を表す断面図である。素子分離領域4やゲート電極6を含む半導体基板2上に層間絶縁膜8が形成されている。層間絶縁膜8上には、AlCu膜10(10a, 10b)、Ti膜12(12a, 12b)及びTiN膜14(14a, 14b)が積層された配線層16(16a, 16b)が所定の位置に形成されている。配線層16a, 16bを含む層間絶縁膜8上には、既存の平坦化技術を用いて平坦化された層間絶縁膜18が形成されており、配線層16a, 16b上には深さが浅い接続孔20a、深さが深い接続孔20bがそれぞれ形成されている。

【0003】このように深さの異なる接続孔を従来のドライエッチングで形成しようとすると、深さが浅い接続孔下に位置する下地パターンへのダメージが、深い接続孔に位置する下地パターンのダメージに比べて大きくなる。その結果、接続抵抗値が大きくなったり、接続抵抗値のバラツキが大きくなり、半導体装置の信頼性に問題が生じる。

【0004】例えば配線間接続孔を形成する場合、従来のドライエッチングによる接続孔形成方法では、接続孔の下地パターン配線層16の構造がAlCu膜10/Ti膜12/TiN膜14から形成されているとき、平坦化された層間絶縁膜18は接続孔の深さによって、下地パターン配線層16のTiN膜14aが底部まで除去された接続孔20aとTiN膜14bが残存する接続孔20bが共存する。特に、TiN膜14aが除去された接続孔20aでは、下地パターン配線層16のAlCu膜10aのAlとエッチング種であるCF系のガスとが反応し、揮発性の低い弗化物22が形成され、これが接続孔20a内壁に堆積する。この弗化物22は、接続孔の接触抵抗を増加させ、低抵抗のバラツキを増大させる。また、上層配線を形成する前に行なう500℃程度の脱ガス処理でTiN膜14aがエッチングされた接続孔20a底部で露出したAlCu膜10aのAlが吹き出し、配線間の短絡を招くことがある。

【0005】このように、接続孔形成時に、深さの異なる接続孔を従来のエッチング方法で形成した場合、接続孔が位置する下地パターンへのダメージが接続孔の深さにより異なり、特に浅い接続孔の信頼性を著しく低下させるという問題があった。そこで、このような不具合を解決するために、例えば以下のような方法が提案されている。

【0006】フィールド酸化膜などによって生じる各メタル配線間の断差に起因する各接続孔のエッチング時間の差異を解消するために、所定のエッチングガスに対してエッチレートが、小さい膜/大きい膜/小さい膜からなる層間絶縁膜を、小さい膜は均一の厚みに、大きい膜はその表面が平坦になるように形成する方法が提案されている(特開平7-122634号(従来例1)、公報参照)。この方法では、エッチレートが大きい膜としてCF基を含有する有機シリコン化合物を用いている。各メタル配線上に形成された層間絶縁膜では、エッチレートが小さい膜の膜厚は同じであるが、エッチレートが大きい膜の膜厚は異なっているものがある。しかし、エッチレートが大きい膜のエッチング時間は、その膜厚にかかわらずほぼ同じであるので、各接続孔のエッチング時間をほぼ均一にすることができる。

【0007】別の方法として、断差などの下地パターン構造に起因する酸化膜などの被エッチング膜の膜厚の違いに対して、膜厚が薄い領域に形成する開孔と膜厚が厚い領域に形成する開孔のエッチング後のアスペクト比

(開孔の深さ/開孔の直径)が近似するように、エッチングマスクを形成する方法が提案されている(特開平9-148270号(従来例2)、公報参照)。各開孔のアスペクト比を近似させることにより、エッチング終了時間をほぼ等しくして下地パターンへの悪影響を抑制している。

【0008】さらに別の方法として、層間絶縁膜を多層膜にし、基板側から順にエッチレートが順に大きくなるように、すなわち、エッチレートが他の絶縁膜に比べて極めて小さい絶縁膜を最も基板側に形成する方法が提案されている(特開平8-236619号(従来例3)、公報参照)。このような層間絶縁膜を用いることにより、層間絶縁膜が薄くなる箇所のエッチングマージンを確保し、そのオーバーエッチングを防止している。

【0009】さらに別の方法として、接続孔が形成される配線上の領域で、平坦化された層間絶縁膜の薄い領域の配線上に、エッチレートの小さい材料層を予め形成しておく方法が提案されている(特開平9-17862号(従来例4)、公報参照)。エッチレートが小さい材料層を特定の位置に形成することにより、層間絶縁膜が薄くなる箇所のエッチングマージンを確保し、そのオーバーエッチングを防止している。

【0010】

【発明が解決しようとする課題】しかし、上記の従来例では、以下のような問題点がある。従来例1では、エッチレートが大きい膜としてCF基を含有する有機シリコン化合物を用いており、エッチング後に行なうO<sub>2</sub>によるフォトレジスト除去時にこの膜が接続孔側壁に露出していると化学反応を起こしてダメージを受けるので、接続孔内でこの膜が露出ないようにエッチバック工程を加える必要があり、その結果、工程数が多くなる。また、層間絶縁膜の膜厚のバラツキも大きくなる。従来例2は、深さが異なる開孔のエッチング時間を揃えるために、開孔の径をその深さによって変化させる必要があり、実用的でない。従来例3は、エッチレートが異なる複数の膜を同時にエッチングするため、接続孔の形状の制御が難しい。従来例4は、層間絶縁膜の最下層に予めエッチレートが小さい材料膜を形成する工程が増える。また、層間絶縁膜をエッチング後に、上記材料膜を除去する工程も必要であり、工程数が増え、工程が複雑になる。

【0011】そこで、本発明は、深さが異なる接続孔をドライエッチングで形成する場合において、接続孔の深さの差による接続孔底部の下地パターンへのダメージを抑制し、かつ均一化し、接続孔及び配線の信頼性を向上させることを目的とするものである。

【0012】

【課題を解決するための手段】本発明による半導体装置の製造方法は、断差を有する下地上に表面が平坦化された層間絶縁膜が形成され、その層間絶縁膜に設けられた

接続孔を介して下層の配線と上層の配線とが電氣的に接続された多層配線を有する半導体装置の製造方法において、以下の工程を含んで多層配線を形成するものである。

(A) 所定のエッチング反応ガスの流量変化に対してエッチレートが変化する最下層絶縁膜を下地上に形成する工程、(B) エッチング反応ガスの流量変化に対するエッチレートの変化のしかたが最下層絶縁膜とは異なる1層又は複数層の上層絶縁膜を最下層絶縁膜上に形成し、その表面を平坦化する工程、(C) 接続孔領域に開口をもつフォトレジストを上層絶縁膜上に形成する工程、

(D) エッチング反応ガスの流量を最下層絶縁膜のエッチレートが小さくなる条件にして接続孔領域の上層絶縁膜を除去する第1のエッチング工程、(E) エッチング反応ガスの流量を最下層絶縁膜のエッチレートが大きくなる条件にして接続孔領域の最下層絶縁膜を除去し、接続孔を形成する第2のエッチング工程、(F) フォトレジストを除去し、接続孔上及び上層絶縁膜上に配線を形成する工程。

【0013】第1のエッチングにより、接続孔領域の厚さが異なる上層絶縁膜を除去するとき、上層絶縁膜の厚さが薄い接続孔領域の最下層絶縁膜は、上層絶縁膜の厚さが厚い接続孔領域の上層絶縁膜が底部まで除去されるまでの間に除去されるが、最下層絶縁膜のエッチレートは小さいので除去される厚みはわずかである。上層絶縁膜の厚さが厚い接続孔領域の最下層絶縁膜が露出するまでエッチングした後、第2のエッチングにより、各接続孔領域の最下層絶縁膜を除去する。その結果、各接続孔領域の下地パターンのエッチング量をオーバーエッチング率に対して十分小さく抑えることができる。

【0014】

【発明の実施の形態】第1のエッチングで、最下層絶縁膜のエッチレートが上層絶縁膜のエッチレートの1/5以下であることが好ましい。その場合には、第1のエッチングで除去される最下層絶縁膜の量を十分に抑えることができ、第2のエッチングによる下地パターンのエッチング量をより効果的に軽減することができる。最下層絶縁膜としてシリコン酸化膜を用い、エッチング反応ガスにC<sub>4</sub>F<sub>8</sub>を含むガスを用いることが好ましい。その場合には、C<sub>4</sub>F<sub>8</sub>を含むガスの流量のみを調節することにより、最下層絶縁膜のエッチングレートを十分に変化させることができる。

【0015】

【実施例】以下、本発明を具体化した一実施例の製造工程を図2及び図3を用いて説明する。

(A) 単結晶シリコン基板26上で素子分離領域28で分離された活性領域に、ゲート酸化膜を介してゲート電極32を形成し、イオン注入工程などによりソース・ドレイン拡散層30を形成後、シリコン基板26上に層間絶縁膜34を形成する。次に、ゲート電極32上及びソ

ース・ドレイン拡散層上にそれぞれ接続孔36a、36bを形成する。シリコン基板26全面にバリア層を堆積後、下から順に例えばAlCu膜を500nm、Ti膜を20nm、TiN膜を50nm堆積させ、パターニングする。その結果、接続孔36a、36b上には、それぞれバリア層38a、38bを介して、AlCu膜40a、40b、Ti膜42a、42b、TiN膜44a、44bからなる下層配線層46a、46bが形成される。

【0016】(B)次に、シリコン基板26上に、例えばガス流量を $\text{SiH}_4$ :150sccm、 $\text{N}_2$ :1500sccm、 $\text{N}_2\text{O}$ :3500sccm、圧力を1.4Torr、RFパワーを100Wの条件でCVDにより、屈折率が約1.57のベース膜(シリコン酸化膜)48を100nm堆積する。次に、素子分離領域28や第1の配線層46a、46bからなる下地パターンの断差を埋めてシリコン基板26上を平坦化するために、例えばガス流量を $\text{SiH}_4$ :120sccm、 $\text{N}_2$ :300sccm、 $\text{H}_2\text{O}_2$ :0.65g/分の条件で常圧CVDによりフローフィル膜(シリコン酸化膜)50を550nm堆積する。フローフィル膜50の吸湿を防ぐために、例えばガス流量を $\text{SiH}_4$ :100sccm、 $\text{N}_2$ :1000sccm、 $\text{N}_2\text{O}$ :2000sccm、圧力を0.75Torr、RFパワーを500Wの条件でキャップ膜(シリコン酸化膜)52を250nm堆積した後、例えば450℃、30分、 $\text{N}_2$ ガス雰囲気の中でアニール処理を行なってフローフィル膜50及びキャップ膜52の水分を除去する。

【0017】このように、層間絶縁膜はベース膜48、フローフィル膜50及びキャップ膜52の3層から形成されており、フローフィル膜50は断差を平坦化しているので領域によっては最大550nmの膜厚差をもっている。次に、第1の配線層46a、46bと第2の配線層を接続するための接続孔を形成するために、キャップ膜52上にフォトレジスト54によりパターン56a、56bを形成する。パターン56aと56bの下の層間絶縁膜には、最大で550nm、最小で50nm程度の膜厚差が生じている。

【0018】ここで、接続孔を形成するために、エッチングガスに例えば $\text{C}_4\text{F}_8$ ガスを使用しマグネトロンRIEを用いて2ステップエッチングを行なう。第1のエッチングでは各パターン下の少なくともフローフィル膜50を除去し、第2のエッチングではその下のベース膜48を除去する。層間絶縁膜を構成するベース膜48、フローフィル膜50及びキャップ膜52の $\text{C}_4\text{F}_8$ ガス流量(sccm)に対するエッチレート(nm/分)を図4に示す。図4から、 $\text{C}_4\text{F}_8$ ガスの流量を変化させることにより、層間絶縁膜の最下層を構成するベース膜48のエッチレートを大きく変化させることができることがわかる。この実施例ではこれを利用し、深さが浅い接続孔

底部の下地パターンへのダメージを最小限に抑える。

【0019】(C)2ステップエッチングの第1のエッチング条件は、ガス流量を $\text{C}_4\text{F}_8$ :18sccm、 $\text{CHF}_3$ :10sccm、 $\text{CO}$ :300sccm、 $\text{Ar}$ :400sccm、 $\text{O}_2$ :2sccm、圧力を40mTorr、RFパワーを1700W(電極の直径が8インチ)、温度を下部電極:20℃、上部電極:60℃、側壁60℃とした。この条件におけるベース膜48、フローフィル膜50、キャップ膜52のエッチレートは、それぞれ80nm/分、500nm/分、500nm/分である(図4の領域46)。

【0020】第1のエッチングを開始すると、まず、パターン56a、56b下のキャップ膜52がほぼ同時に除去される。さらに、その下のフローフィル膜50が除去される。パターン56a下のフローフィル膜50が底部まで除去され、その下のベース膜48の除去が開始されるとき、パターン56b下のフローフィル膜50はまだ残っている。しかし、第1のエッチング条件では、ベース膜48のエッチレートはフローフィル膜50のエッチレートの1/5以下なので、パターン56b下のフローフィル膜50が底部まで除去されるまでの間に除去されるパターン56a下のベース膜48の膜厚はわずかである。その結果、パターン56a、56b下のTiN膜44a、44bを露出させることなくキャップ膜52及びフローフィル膜50を除去することができる。

【0021】(D)第2のエッチング条件は、ガス流量を $\text{C}_4\text{F}_8$ :9sccmとした以外は第1のエッチング条件と同じにした。この条件におけるベース膜48、フローフィル膜50、キャップ膜52のエッチレートは、それぞれ360nm/分、420nm/分、420nm/分である(図4の領域48)。また、この条件でのTiN膜44a、44bのエッチレートは30nm/分である。

【0022】第2のエッチング開始時には、ベース膜48はパターン56a下でも56b下でも同じ程度の膜厚が残っているので、パターン56a下とパターン56b下のベース膜48は大きな時間差なしに除去される。厳密には、パターン56a下のベース膜48の方がパターン56b下のベース膜48よりも先に底部まで除去され、パターン56a下のTiN膜44aが除去され始める。しかし、第2のエッチング条件では、TiN膜44aのエッチレートはベース膜48のエッチレートの約1/12なので、パターン56b下のベース膜48が底部まで除去されるまでの間に除去されるTiN膜44aの膜厚はわずかである。その結果、パターン56a、56b下のTiN膜44a、44bを貫通してその下のTi膜42a、42bやAlCu膜40a、40bを露出させることなくベース膜48を底部まで除去し、第1の配線層46a、46b上に第2の接続孔58a、58bを形成することができる。その後、フォトレジスト54を

除去する。

【0023】図5(A)は、同実施例による2ステップエッチングでの接続孔下のTiN膜エッチング量(nm)のオーバーエッチング率(%)依存性を表す図である。参考として(B)に、従来行なわれてきた1ステップエッチングでの同様の図を示す。1ステップエッチングの対象は図2(B)に示すものと同じであり、エッチング条件は、同実施例の第2のエッチングと同じである。すなわち、ベース膜48、フローフィル膜50、キャップ膜52のエッチレートは、360nm/分、420nm/分、420nm/分であり、TiN膜44a、44bのエッチレートは30nm/分である。また、図5中のオーバーエッチング率は、最も深い接続孔、すなわち接続孔58bにおける値である。

【0024】通常、層間絶縁膜の膜厚のバラツキとウェハ面内でのエッチレートバラツキを考慮して、30%程度のオーバーエッチングを行なう。1ステップエッチングの場合、30%のオーバーエッチングを行なうとTiN膜のエッチング量が約55nmになる。TiN膜44aの膜厚は50nmであるので、TiN膜44aはその底面までエッチングされてしまう。一方、同実施例による2ステップエッチングの場合、TiN膜のエッチング量は、TiN膜44aが約25nm、TiN膜44bが約20nmになり、接続孔の深さに関わらずTiN膜を25nm程度残すことができる。したがって、1ステップエッチングに比べて接続孔底部の状態を均一化でき、信頼性の高い接続孔が形成できる。

【0025】

【発明の効果】本発明による半導体装置の製造方法は、所定のエッチング反応ガスの流量変化に対してエッチレートが変化する最下層絶縁膜、及び最下層絶縁膜のエッチレートが小さくなるエッチング反応ガスの第1の流量でのエッチレートが、第1の流量での最下層絶縁膜のエッチレートよりも大きい1層又は複数層の上層絶縁膜からなる層間絶縁膜を用い、第1の流量で行なう第1のエッチングと、最下層絶縁膜のエッチレートが大きくなるエッチング反応ガスの第2の流量で接続孔領域の最下層絶縁膜を除去し、接続孔を形成する第2のエッチングにより接続孔を形成する。第1のエッチングにより、所定のエッチング反応ガスの第1の流量で接続孔領域の厚さが異なる上層絶縁膜を除去するとき、上層絶縁膜の厚さが薄い接続孔領域の最下層絶縁膜は、上層絶縁膜の厚さが厚い接続孔領域の上層絶縁膜が底部まで除去されるまでの間に一部除去されるが、第1のエッチング条件では最下層絶縁膜のエッチレートは小さいので、除去される

厚みはわずかである。上層絶縁膜の厚さが厚い接続孔領域の上層絶縁膜を底部まで除去した後、第2のエッチングにより、各接続孔領域の最下層絶縁膜を除去する。その結果、各接続孔領域の下地パターンのエッチング量をオーバーエッチング率に対して十分小さく抑えて接続孔底部の状態を均一化でき、信頼性の高い接続孔及び配線が形成できる。第1のエッチングで、最下層絶縁膜のエッチレートが上層絶縁膜のエッチレートの1/5以下であると、第1のエッチングで除去される最下層絶縁膜の量を十分に抑えることができ、第2のエッチングによる下地パターンのエッチング量をより効果的に軽減することができる。最下層絶縁膜としてシリコン酸化膜を用い、エッチング反応ガスに $C_4F_8$ を含むガスを用いると、 $C_4F_8$ を含むガスの流量のみを調節することにより、最下層絶縁膜のエッチングレートを十分に変化させることができる。

【図面の簡単な説明】

【図1】 接続孔形成後の半導体装置の従来例を表す断面図である。

【図2】 一実施例の工程断面図である。

【図3】 同実施例の続きの工程断面図である。

【図4】 層間絶縁膜を構成するベース膜、フローフィル膜及びキャップ膜の $C_4F_8$ ガス流量に対するエッチレートを表す図である。

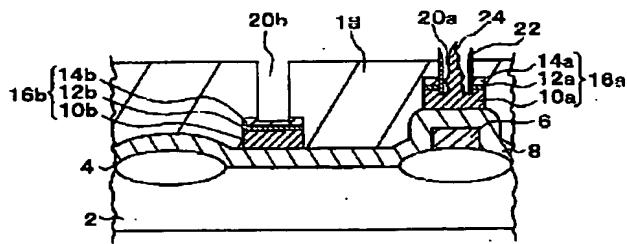
【図5】 (A)は同実施例による2ステップエッチングでの接続孔下のTiN膜エッチング量のオーバーエッチング率依存性を表す図であり、(B)は従来行なわれてきた1ステップエッチングでの同様の図である。

【符号の説明】

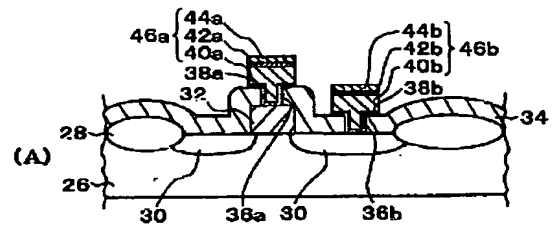
26	シリコン基板
28	素子分離領域
30	ソース・ドレイン拡散層
32	ゲート電極
34	層間絶縁膜
36a, 36b	接続孔
38a, 38b	バリア層
40a, 40b	AlCu膜
42a, 42b	Ti膜
44a, 44b	TiN膜
46a, 46b	下層配線層
48	ベース膜
50	フローフィル膜
52	キャップ膜
54	フォトリソ
56a, 56b	パターン



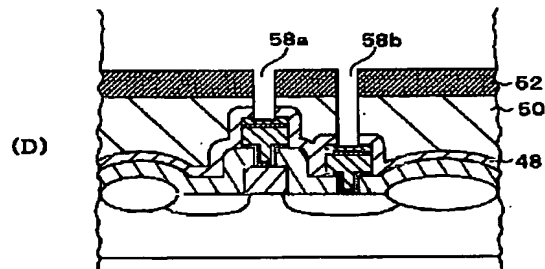
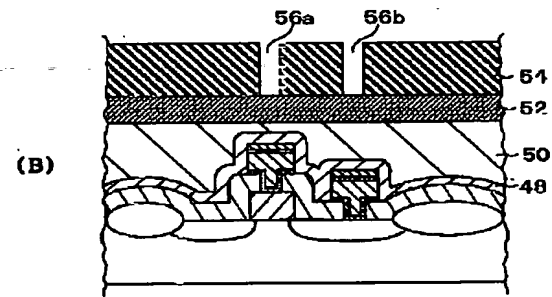
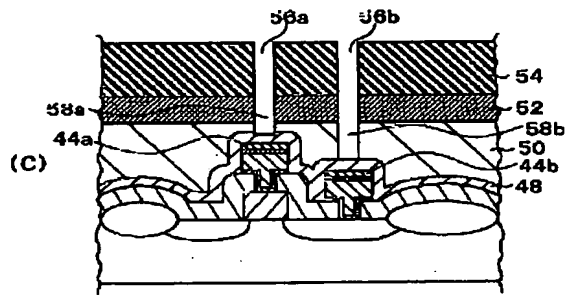
【図1】



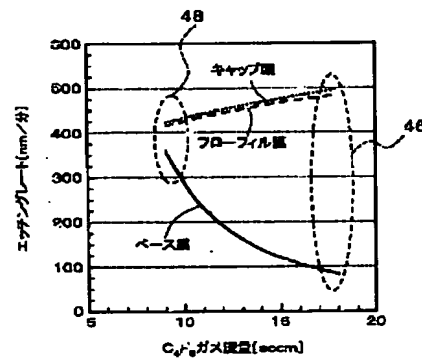
【図2】



【図3】



【図4】



【図5】

